

⑫ 公開特許公報(A)

平1-256480

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月12日

B 66 B 5/02
G 05 F 1/10
G 06 F 1/003 0 4
3 5 0H-6662-3F
H-7319-5H
C-7459-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 エレベータの制御装置

⑯ 特 願 昭63-84759

⑰ 出 願 昭63(1988)4月6日

⑱ 発 明 者 小 池 一 東京都府中市東芝町1番地 株式会社東芝府中工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

エレベータの制御装置

2. 特許請求の範囲

リセット機能を有し、かつこのリセット機能を利用するためのリセット端子を有する演算処理装置と、

この演算処理装置にエレベータの制御のための信号を送信する信号伝送手段と、

この信号伝送手段に所定の電圧を印加する電源回路と、

この電源回路から前記信号伝送手段に印加される電圧を検出し、この検出値が設定値以下になったときリセット信号を出力する電圧低下検出手段と、

この電圧低下検出手段からのリセット信号を前記演算処理装置のリセット端子に与える手段とを具備したエレベータの制御装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、エレベータの呼び登録、駆動電動機、安全回路などの各種制御を行なうコンピュータの中央処理装置(CPU)の電源電圧の低下による誤動作を防止するようにしたエレベータの制御装置に関する。

(従来の技術)

近來のマイクロコンピュータの普及、低価格化により、社会のあらゆる機器にマイクロコンピュータが応用されている。

中でもエレベータの制御装置においても、駆動電動機制御およびシーケンス制御などに多数のマイクロコンピュータが使用されている。

このようなシステムでは、高度な処理が可能であり、例えば各スイッチなどの信号の整合性をチェックして故障を判別したり、複数のコンピュータによる処理結果などを、相互に判断しながら、エレベータシステムを保護している。

このようなシステムにあつては、高度な機能が実現できても、電源が不安定であれば、正常に動

作しないばかりでなく、誤動作となる可能性がある。また、マイクロコンピュータにおいては、各種信号の入力及び処理結果の出力を行なっているが、これらの信号の伝送もマイクロコンピュータを正常に動作させる上で重要な要素であり、これらの信号の伝送に用いる電源についても同じく重要である。すなわち、伝送回路の電源が不安定であればマイクロコンピュータが正常に動作しないばかりでなく、誤動作が生じ、エレベータの故障となる場合もある。

以下、このことについて図面を参照して説明する。第4図は従来のエレベータの制御装置の一例を説明するためのブロック図である。検出スイッチ1は、エレベータの昇降路に設置され、かごの位置あるいはドアが閉じていることを検知するものである。信号入力回路2は信号入力端子3a、3bを有し、これらには同一検出スイッチ1からの信号を2回路にそれぞれ入力されるようになっている。4は、これらの信号の伝送回路の電源である。信号入力回路2は電源端子5、6を備えて

— 3 —

フォトカプラー23cのフォトランジスタがオンする。つまり、出力端子24cから出力されるフォトカプラー23cの出力信号の状態を監視することにより、電源4の状態がわかる。

このような構成のものにおいて、電源4の電圧が低下した場合の動作について第6図を参照して説明する。検出スイッチ1が閉じた場合は、出力端子24a、24bの双方の信号ともオンし、マイクロコンピュータには、この信号の整合性をチェックし、信号にずれを生じた場合に異常と検出するプログラムが使用されている。特に、検出スイッチ1がドアの確認など重要な信号の場合、第4図の例のように2回路にそれぞれ入力し、整合性をチェックしている。また、複数の信号においても、論理的に不合理が生じたことが検出できる場合は、複数の信号においても整合性をチェックしている。

(発明が解決しようとする課題)

ところが、電源4の電圧が低下した場合、第6図の入力端子5の電圧信号が15の時点から低

— 5 —

おり、この電源端子5、6には直流電源4が接続されている。信号入力回路2は、検出スイッチ1からの各種信号をマイクロコンピュータに入力するためのものである。マイクロコンピュータは、中央処理装置(以下CPUと称す)7と、メモリー8と、バスライン9と、信号出力回路10とからなっている。

信号入力回路2は、第5図に示すように、端子3a、3b、5、6および出力端子24a、24b、24c、25間に、電流制限抵抗22a、22b、22c、フォトカプラー23a、23b、23cが接続されて構成される。電源端子5、6には、直流電源4からの直流電圧が印加される。

従って、検出スイッチ1が閉じると、抵抗22a、22bとフォトカプラー23a、23bに電圧が印加され、フォトカプラー23a、23bに電流が流れ、フォトカプラー23a、23bのフォトランジスタする。一方、フォトカプラー23cの入力端子には、電源4が直接接続されているため、電源4が確立された時点でフ

— 4 —

下し始め、最終的に0となる。この電圧が低下する期間において、この電圧の低下に伴い、出力端子24a～24cの信号もオフとなるが、信号入力回路2の抵抗22a～22c、フォトカプラー23a～23cは、特性にバラツキがあり、動作のずれが生じ、出力端子24a～24cの信号には少しずつずれが生じる。

一方、マイクロコンピュータは、高速に動作するため、区間16のように出力端子24aの信号がオフし、出力端子24bの信号がオンしている状態が生じる。その結果、出力端子24a、24bの信号が、バスライン9を介してCPU7に入力され、電源4の変動が原因にもかかわらず、異常検出がなされてしまう。

このような誤動作を防止するため、出力端子24cの信号もCPU7に入力されているが、このような例の場合には、出力端子24cからの信号においても同様の動作のバラツキを生じ、第6図のように最後に検出した場合には誤動作防止には、十分に役立たない。特に、電源4の電圧がゆるや

— 6 —

かに低下するような場合には、このような不具合が生じる可能性が高くなる。

そこで本発明は、エレベータの呼び登録、駆動電動機、安全回路などの各種制御を行なうマイクロコンピュータに信号を送送するための電源電圧の低下による誤動作を防止できるエレベータの制御装置を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明はリセット機能を有し、かつこのリセット機能を利用するためのリセット端子を有する演算処理装置と、この演算処理装置にエレベータの制御のための信号を送送する信号伝送手段と、この信号伝送手段に所定の電圧を印加する電源回路と、この電源回路から信号伝送手段に印加される電圧を検出し、この検出値が設定値以下になったときリセット信号を出力する電圧低下検出手段と、この電圧低下検出手段からのリセット信号を演算処理装置のリセット端子に与える手段とを具備したものである。

— 7 —

路図であり、定電圧電源回路 110、基準電圧設定ボリューム 111、オペアンプ 112、ダイオード 113、抵抗 114、116、コンデンサ 115、出力回路 117 とからなっている。

第 2 図において、電源 4 の電圧信号は定電圧電源回路 110 に入力され、またオペアンプ 112 の負の入力端子に入力される。定電圧電源回路 110 により定電圧化された電圧が基準電圧設定ボリューム 111 に印加され、ここで得られる基準電圧はオペアンプ 112 の正入力端子に与えられる。電源電圧が低下し、基準電圧を下回ると、オペアンプ 112 の出力がオンし、ダイオード 113 を介してコンデンサ 115 が急速に充電されるため、電源 4 の電圧低下の検出と同時に出力回路 117 から出力が得られる。そして、電源 4 の電圧が回復すると、オペアンプ 112 の出力がオフされるが、コンデンサ 115 は抵抗 114 を介して放電するため、所定の時間オフしない。出力回路 117 から出力される信号は、検出は早く、オフは一定時間保持することができる。

— 9 —

(作用)

本発明は、CPU の電源電圧の低下が検出されると、CPU をリセットするので、電源電圧の低下による誤動作を防止できる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。第 1 図は本発明のエレベータの制御装置の一実施例の概略構成を示すブロック図である。電源 4 の電圧 (信号入力回路 2 のの入力に印加される電圧) の低下を検出する電圧低下検出手段例えば電圧低下検出回路 11 が設けられ、この検出信号は CPU 7 のリセット端子 12 に入力される。

電圧低下検出回路 11 は、電源電圧の低下を他の信号入力回路より早く検出するため、検出レベルを高くし、正常時の電圧からの低下を最も早く検出する回路になっている。また、一度電圧の低下を検出すると、どのように短い停電においても、停電を検出し、一定期間は信号を記憶する回路が設けられている。

第 2 図は、電圧低下検出回路 11 の具体的な回

— 8 —

以上述べた本発明の実施例の動作について説明する。電源 4 の電圧が低下し、この値が基準電圧 (電圧低下検出回路 11 の基準電圧設定用ボリューム 111 で設定される) より低下したとき、検出スイッチ 1 からの検出信号より早く電圧低下が検出され、電圧低下検出回路 11 からのリセット信号が CPU 7 のリセット端子 12 に入力されるので、CPU 7 の動作が停止させられ、エレベータ速度が減速していく。この場合、電源 4 の電圧が正常となり、機能が安定して動作できるようになった時点まで、電圧低下検出回路信号 11 からのリセット信号が保持される。

このように、電源 4 の電圧低下が検出されると同時に一早く動作を停止する。検出スイッチ 1 の信号がオフする前にマイクロコンピュータは動作を停止する。このため、瞬時停電などで、一次的に信号が異常となっても、必ず早期に電源 4 の電圧低下が検出され、他の誤動作の原因が起る前にマイクロコンピュータの動作が停止されるので、誤動作は発生しない。また、瞬時停電などで、電

— 10 —

源 4 の電圧が復旧した場合において、まだ故障条件がある場合には誤動作となることがあるが、本実施例を適用することにより一定時間保持し、故障に関連するような状況がなくなった後にマイクロコンピュータが動作開始する。つまり、電源 4 の電圧低下に対しては、これを即座に検出し、マイクロコンピュータを停止させ、エレベータの運転も安全のため、一旦停止される。そして、エレベータが完全に停止し、電源 4 も確立して、十分な時間を経過した後、再度起動が開始される。このため、周辺信号の安定化が計られ、誤動作が発生しない。

第 3 図は、本実施例の動作を説明するためのタイムチャートであり、入力端子 5 の信号は電源 4 の電圧の変化を示し、出力端子 24 a, 24 b の信号は第 5 図の信号入力回路 2 のフォトカプラー 23 a, 23 b の出力信号の状況を示し、リセット端子 12 の入力信号は電圧低下検出回路 11 からの出力信号（リセット信号）を示す。第 3 図は、電源 4 の電圧が低下し、再度復旧した場合の動作

— 1 1 —

動電動機、安全回路などの各種制御を行なうマイクロコンピュータに信号を伝送するための電源の電圧低下による誤動作を防止できるエレベータの制御装置を提供することができる。

4. 図面の簡単な説明

第 1 図は本発明によるエレベータの制御装置の一実施例の概略を示すブロック図、第 2 図は第 1 図の電圧低下検出回路の具体例を示す回路図、第 3 図は第 1 図の動作を説明するためのタイミングチャート、第 4 図は従来のエレベータの制御装置の概略をブロック図、第 5 図は第 1 図および第 4 図の信号入力回路の具体例を示す回路図、第 6 図は第 4 図の課題を説明するためのタイミングチャートである。

1 … 検出スイッチ、2 … 信号入力回路、4 … 電源、7 … CPU（中央処理装置）、8 … メモリー、9 … バスライン、10 … 信号出力回路、11 … 電圧低下検出回路、12 … リセット端子、110 … 定電圧電源回路、111 … 基準電圧設定ボリューム、112 … オペアンプ、113 … ダイオード、

— 1 3 —

を示す。電源 4 の電圧が低下して基準電圧に達した時点 17 において、リセット端子 12 の入力信号がオンし、CPU7 がリセットされるため、エレベータは停止し始める。また、この間は、信号のチェックも行われず。そして、この後、信号入力回路 2 のフォトカプラー 23 a, 23 b からの信号が順にオフになり、区間 18 において、不整合が生じている。また、再度電源 4 が立上がる区間 19 においても、同様に不整合となっている。しかし、この間リセット端子 12 の入力信号が保持されているので、誤動作は生じない。

以上述べた実施例によれば、簡単な構成の電圧低下検出回路 11 の出力を CPU7 のリセット端子 12 に入力するだけで、高度の保護機能が得られ、かつ電源 4 の電圧低下を早期に検出して CPU7 がリセットされ、また、重要な信号の整合性をチェックでき、電源 4 の電圧変動に対しても誤動作が生じない。

〔発明の効果〕

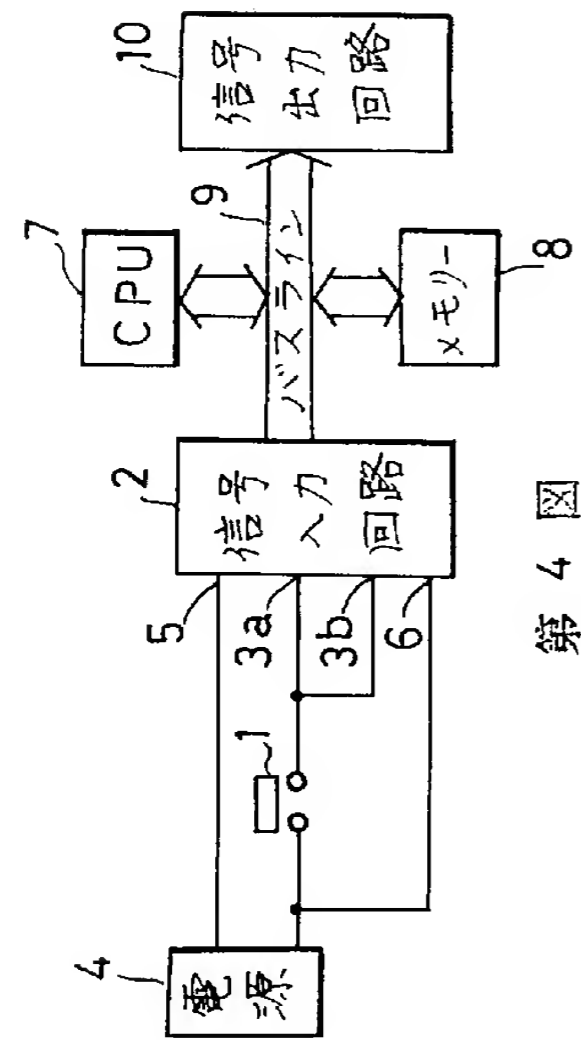
本発明によれば、エレベータの呼び登録、駆

— 1 2 —

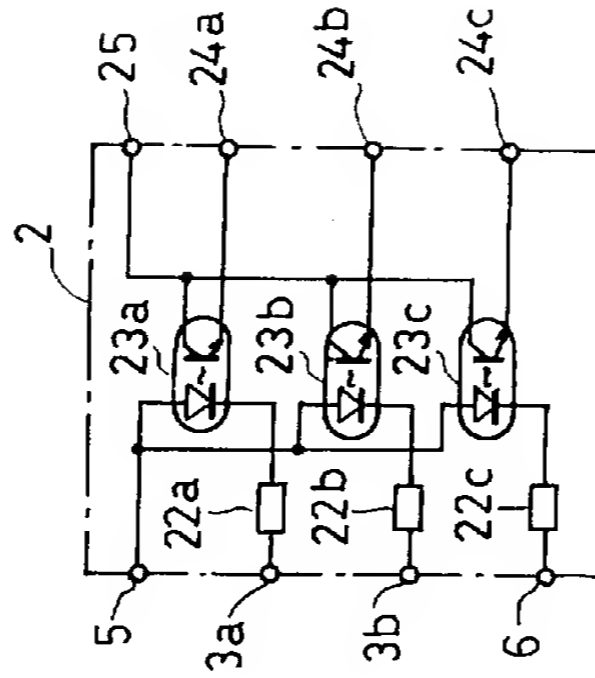
114, 116 … 抵抗、115 … コンデンサ、117 … 出力回路。

出願人代理人 弁理士 鈴 江 武 彦

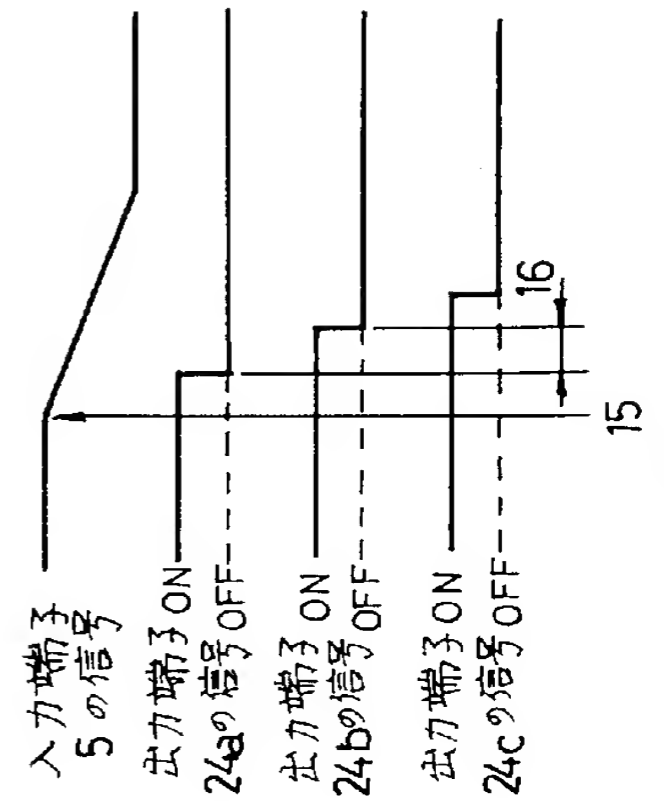
— 1 4 —



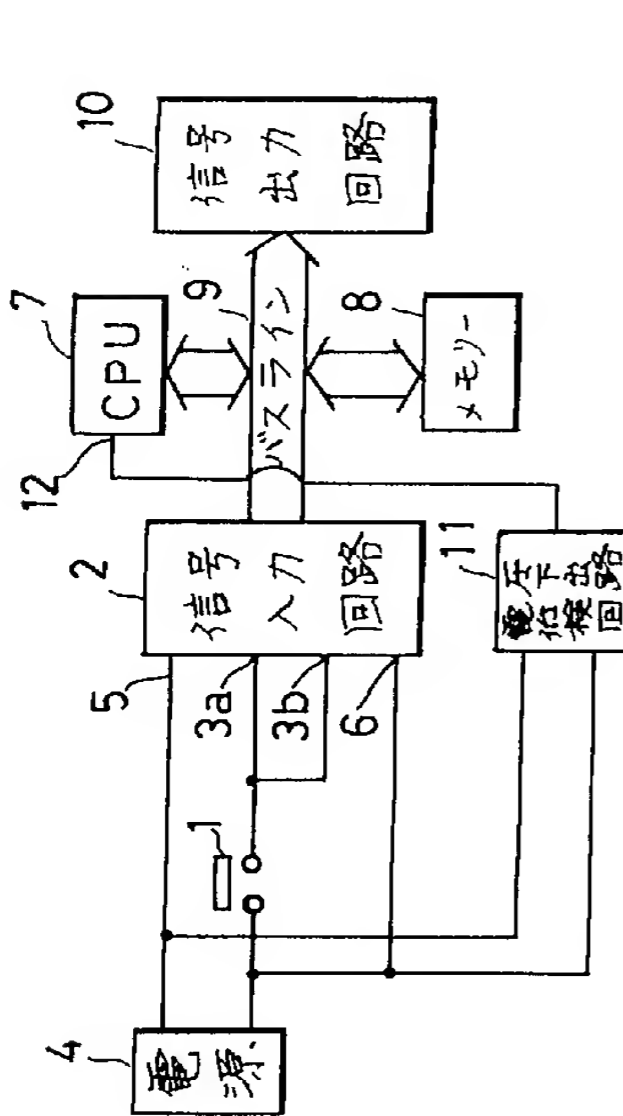
第 4 図



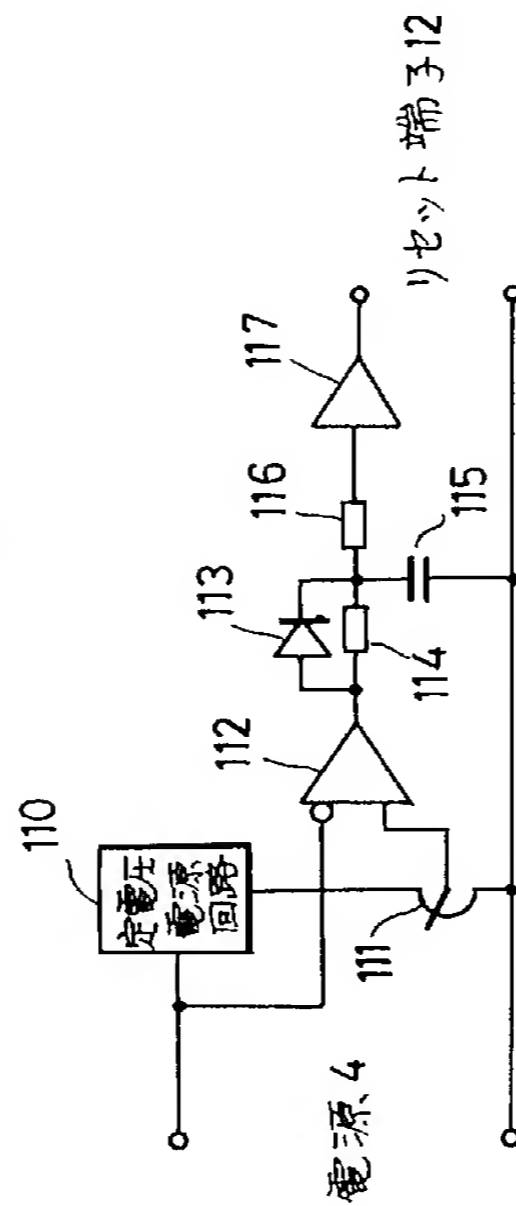
第 5 図



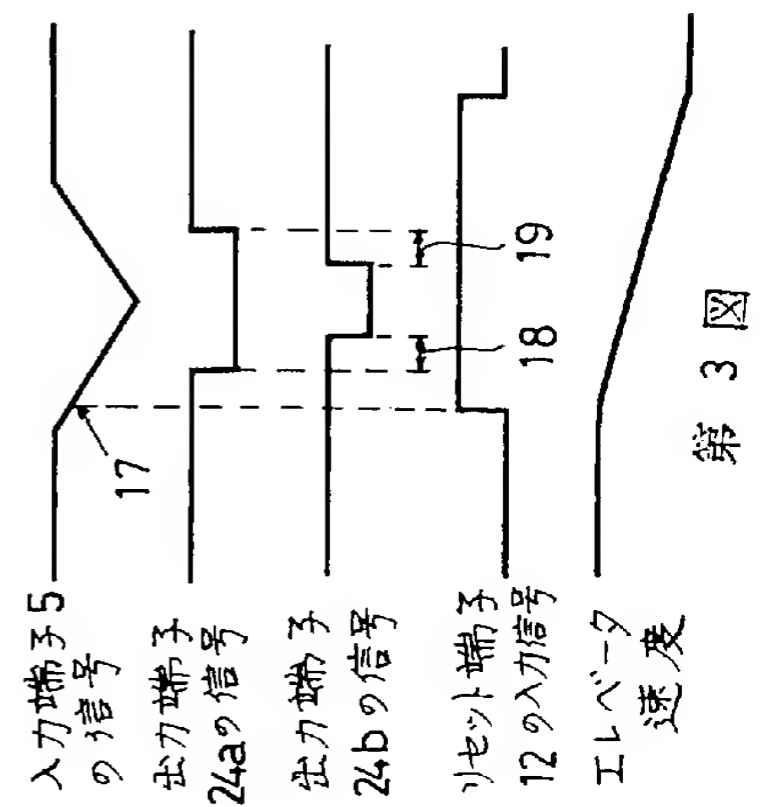
第 6 図



第 1 図



第 2 図



第 3 図

PAT-NO: JP401256480A
DOCUMENT-IDENTIFIER: JP 01256480 A
TITLE: CONTROLLER FOR ELEVATOR
PUBN-DATE: October 12, 1989

INVENTOR-INFORMATION:

NAME	COUNTRY
KOIKE, HAJIME	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP63084759
APPL-DATE: April 6, 1988

INT-CL (IPC): B66B005/02 , G05F001/10 ,
G06F001/00

US-CL-CURRENT: 187/247 , 187/380 , 318/650 ,
713/321

ABSTRACT:

PURPOSE: To keep off any malfunction due to a voltage drop in a microcomputer performing various types of control over a call registration, a drive motor, a safety circuit and so on by resetting a central processing unit when detecting a drop in supply voltage in this central processing unit.

CONSTITUTION: In a signal input circuit 2 where each signal of various detecting switches is inputted, voltage is impressed on its power terminals 5, 6, transmitting the output to a central processing unit 7 of a microcomputer, and it performs various types of control over an elevator's call registration, a drive motor, a safety circuit or the like via a memory 8. Here, when a voltage drop detector 11 detects a voltage drop in the power source 4, its detecting signal is inputted into a reset terminal 12 of the central processing unit 7. Since this voltage drop detector 11 detects the voltage drop earlier than other signal input circuit 2, its detecting level is made higher in advance, and when it once detects a drop in the voltage or momentary power failure, the output signal is stored as long as the specified time. Thus, any malfunction due to a supply voltage drop is preventable.

COPYRIGHT: (C)1989,JPO&Japio